

一种染色体编码新方法的硬件进化

张超, 刘峥, 赵伟

(西安电子科技大学 雷达信号处理国家重点实验室, 陕西 西安 710071)

摘要:提出了基于 FPLA 的染色体编码及在此基础上的并行硬件进化方法. 该编码方式以与或非门为基本单元, 进化时将电路编码染色体按逻辑门分解, 进行适应度计算时采用分解逆过程使染色体合并, 可以有效缩短进化时间, 有利于大规模复杂电路的进化. 以 4 位二进制码转换为格雷码的电路为例进行试验, 该方法在 20 次实验中平均速度提高了 32.25%. 为实现内进化编写了由染色体生成 Verilog 硬件语言的 C 程序, 该编码方式同时适用于多输入多输出电路进化且染色体长度可变, 利用此特性生成了异构电路, 完成了容错, 对于实现故障模块在线修复, 提高太空恶劣环境中电子系统可靠性具有一定意义.

关键词:硬件进化; 染色体编码; FPLA; Verilog 硬件语言

中图分类号:TP18; TP302.8 **文献标志码:**A **文章编号:**1673-4785(2011)05-0450-06

Hardware evolution based on a new chromosome encoding method

ZHANG Chao, LIU Zheng, ZHAO Wei

(National Laboratory of Radar Signal Processing, Xidian University, Xi'an 710071, China)

Abstract: This paper proposed an FPLA-based chromosome encoding approach and a parallel hardware evolution method on the basis of a new encoding approach. The AND-OR-NOT gates are the basic units of the chromosome, so by decomposing the chromosome while evolving and integrating it when computing the adaptation, the evolution time can be shortened. This benefits the evolution of massive and complex circuits. Taking the circuit of changing 4 bits binary code to gray code as an example, the result shows that the average speed increases 32.25 percent over 20 evolutions when using the proposed method. In order to facilitate intrinsic evolutions, the C program was also exploited for translating the chromosome to Verilog hardware language. The encoding method was able to handle multi-input and multi-output circuit evolution, and the chromosome's length was variable. According to the evolution of the heterogeneous circuits based on this feature, fault tolerance was achieved. This work is significant for on-line repair used to improve the reliability of electronic systems exposed to harsh space environments.

Keywords: hardware evolution; chromosome encoding; field programmable logic array (FPLA); Verilog HDL

进化硬件 (evolvable hardware, EHW) 也称演化硬件或仿生硬件, 是一种具有自组织、自适应和自修复特性的新型智能硬件^[1], 它将计算机技术与基于优胜劣汰、自然选择的进化算法结合在一起, 可以在人工干预的条件下通过进化来获得满足给定条件的电路和系统, 进而使系统自动、实时地调整其内部结构, 以适应内部条件 (如局部故障) 和外部环境的变化^[2]. 为解决大规模电路的进化问题, 可进化硬

件技术取到了一定的研究成果, 例如 Torresen 等采用“分解法”, 将电路划分成多个较小的子电路分别予以进化^[3]; Kalganova 等提出了能自动且逐步将复杂任务分解成多个子任务的双向积累式进化方法 (bidirectional incremental evolution)^[4]等. 虽然这些方法使得大规模复杂电路的进化实现成为可能, 并且在进化时间上得到一定改善, 不过染色体长度较长以及耗时较大的问题, 依然制约着大规模复杂电路的形成. 另外 FPGA 厂商对其产品中配置的形成、数据流下载格式及相应的校验方法等资料不予开放, 使得直接通过染色体位串下载配置而进行内进

收稿日期: 2010-12-20.

基金项目: 陕西省自然科学基金资助项目 (SJ08F19).

通信作者: 张超. E-mail: gnszzc@163.com.

化的实验不易实现.在进化过程中硬件系统与环境始终保持交互,而处于宇宙空间中的电子系统极易受工作环境的影响,特别是由于高能粒子辐射而产生的单粒子翻转效应(single-event upset, SEU).所以 EHW 的出现为电子系统容错尤其是空间应用中系统自修复提供了一种新的方法.

文章首先提出了一种长度可变且能实现多输入多输出组合逻辑的染色体编码方式,并结合 Torresen“分解法”提出了能显著提高进化速度的并行进化方法,对其性能进行了验证.接着为实现内进化编写了染色体至 Verilog 语言的 C 语言翻译程序.最后在分析文章所提出的染色体编码特性的基础上进行了异构电路进化,结果表明 EHW 可以很好地完成硬件电路在空间环境中的容错,实现系统故障的在线修复.

1 基于 FPLA 的染色体编码分析

现场可编程逻辑阵列(field programmable logic array, FPLA)是在可编程只读存储器(programmable read-only memory, PROM)的基础上发展起来的可编程逻辑器件(programmable logic device, PLD),它的与阵列及或阵列均可编程.采用 FPLA 实现逻辑函数时只需运用化简后的与或式 $F_k = \sum m_i$ (K 为输出端口数, m_i 为最小项) 由与阵列产生与项,再由或阵列完成与项相或的运算后便可得到输出函数,这种结构在电路功能实现上具有很大的灵活性.如果以 FPLA 结构为基础进行染色体编码那么可以很容易实现多输入多输出系统,这有助于复杂电路的编码和生成.并且其编码方式是以与或非门为基本逻辑单元,故可以通过染色体分解,对 3 种逻辑门所属的染色体采用分开的并行进化方法,这为提高进化速度和实现较大规模电路的进化提供了可能性.

1.1 染色体编码

染色体的编码方式也称为基因表达方式(gene representation).在遗传算法中,种群中的个体,即染色体是由基因构成的.所以染色体与问题的解如何对应,就需要通过基因来表示,即对染色体进行正确的编码.染色体编码主要有二进制编码、实数编码、序列编码、树编码等. Holland 提出的简单 GA (simple genetic algorithms, SGA) 使用二进制编码,即使用 0-1 字符串表示一个染色体.这里采用二进制编码.假设系统为 N 输入 M 输出,则基于 FPLA 结构的编码过程如图 1 所示.每个输入在每一行中占据 2

位,第 1 位代表原输入,第 2 位代表非门,后面的 M 列代表或门.将编码矩阵展开成一维序列,即可得基本的染色体的编码.以半加器为例,其最小项结构所对应的二进制编码染色体为 {1001011010110001}.前 12 位为与非门,其中非门和与门交替出现,后 6 位为或门.一般在进化前电路的结构未知,故电路中所用门的数量同样未知.若采用此种编码,矩阵的列数由于与输入和输出所对应而固定,而行数可以相对自由地调整,于是可通过对编码矩阵行数的控制来调整门的数量.这样在进化前需要对逻辑门的数量有一个初始的估计,并输入一定的参数.

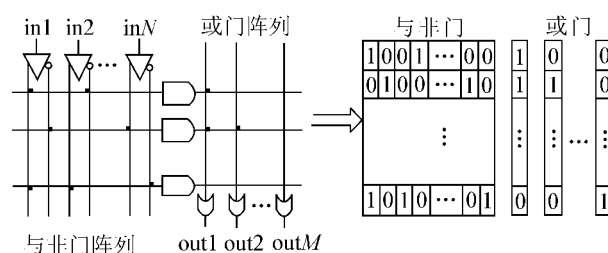


图1 基于 FPLA 的染色体编码过程

Fig.1 Chromosome encoding based on FPLA

1.2 基于外进化的功能验证

为验证基于 FPLA 的染色体编码可行性并分析其进化性能,以 4 位二进制码转换为格雷码的电路为例进行试验.此电路为 4 输入 4 输出,染色体矩阵列数为 12 列,假设进化生成的电路用最小项表示,则其对应的二进制一维染色体编码有 84 位,具体结构为 {100000001001000001100000001001000001100000001001000001101000000011000000011000000011}.

试验采用简单遗传算法(SGA),随机产生初始种群(initial population, IP),选择算子采用赌轮选择法,交叉算子为单点交叉,交叉率为 0.8,变异算子为一点变异,变异率为 0.006.由于采用外部进化,故以子代染色体与所需染色体的匹配性能为适应度函数(fitness function),如式(1)所示.

$$f_i = 1 - \frac{\sum_{j=1}^{c_i} |c_{ij} - d_j|}{c_i} \quad (1)$$

式中: i 为种群数量; c_i 为个体, d 为所需染色体向量, c_i 为染色体长度. 适应度 f_i 维持在 0 ~ 1 之间, 0 表示完全不匹配, 1 表示完全匹配, 既进化成功, 适应度越高则相似度越高. 任意 4 次的进化曲线如图 2 所示.

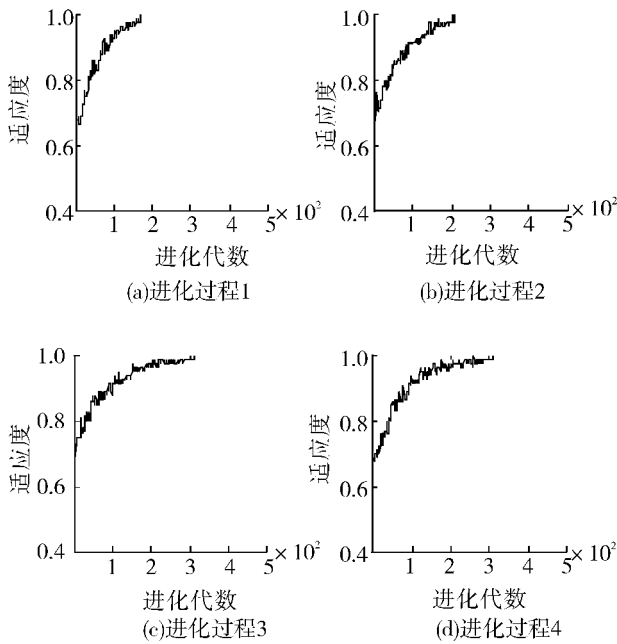


图2 任意4次进化曲线

Fig.2 Arbitrary four evolution curves

1.3 基于染色体分解的并行进化

由图2可以看出在随机产生初始种群的基础上,在200~500代电路可以进化成功.文献[4]提出了一种将整个系统划分成多个子系统进行进化的方法,以提高进化性能.参考其划分电路的思想,考虑将整个电路编码后的染色体进行分解.这样不仅可以使系统进行并行的进化,而且每个进化的染色体长度会大大减少.

实验中染色体采用基于FPLA的编码方法,故可以将染色体中与或非门进行分离,由于每个与门的入口都对应一个非门,故与门和非门的数量相同,其对应染色体长度也相等,剩下的既为或门染色体.实验中与或非门编码长度为28位,或门编码也为28位.每一代进化时,各段染色体独立进行交叉、变异等运算,进化参数相同.而进行适应度计算时应用分解的逆运算过程将染色体进行合并,组成完整的染色体而进行评估及选择.合并时采用顺序合并,即将编号相同的染色体进行合并.

与文献[4]中分解法不同的是这里的分解对象为整条染色体,且不是以电路功能进行模块化的划分,这样避免了进化时对电路尤其对复杂电路划分的工作.进化时各染色体之间也不是毫无关联的独立进化,而是共同参与适应度计算和父代选择.

对于整条染色体,并行进化方法下的交叉率

(p_{c2})及变异率(p_{m2})如式(2)所示,其中 p_{c1} 和 p_{m1} 为原始交叉率和变异率, N 为分解后的染色体个数,实验中 N 等于3.分析式(2)可知,并行进化时交叉率和变异率都增大了.不过这与简单地增大原染色体的交叉、变异率不同.分解染色体后,整条染色体不是发生某一种定义好的变异,它可以以不同的概率发生一点变异、两点变异及三点变异,其概率由式(3)可得,且它们是由限定在不同染色体区域的变异组合而成,不过对于分解后的某一区域只可能在一代遗传过程中发生一次变异,这样避免了变异过度集中而保证了全局的最优及高效的进化速度,同时保留了不同部分独立进化的性能优势.整条染色体的某一位在一代遗传中也只可能发生一次变异,这样不会出现变异抵消的情形.对于交叉的分析,其情况与变异相同,其一次、两次及三次交叉概率由式(4)可得.由式(3)、(4)可知,从一点变异到三点变异概率依次降低,从一次交叉到三次交叉概率依次增加.

$$\begin{cases} p_{c2} = \sum_{i=1}^N \binom{N}{i} p_{c1}^i (1-p_{c1})^{N-i} = 1 - (1-p_{c1})^N, \\ p_{m2} = \sum_{i=1}^N \binom{N}{i} p_{m1}^i (1-p_{m1})^{N-i} = 1 - (1-p_{m1})^N. \end{cases} \quad (2)$$

$$\begin{cases} p_{m21} = \binom{N}{1} p_{m1}^1 \times (1-p_{m1})^{N-1}, \\ p_{m22} = \binom{N}{2} p_{m1}^2 \times (1-p_{m1})^{N-2}, \\ p_{m23} = p_{m1}^3. \end{cases} \quad (3)$$

$$\begin{cases} p_{c21} = \binom{N}{1} p_{c1}^1 \times (1-p_{c1})^{N-1}, \\ p_{c22} = \binom{N}{2} p_{c1}^2 \times (1-p_{c1})^{N-2}, \\ p_{c23} = p_{c1}^3. \end{cases} \quad (4)$$

分别采用改进前和改进后的进化方法各自进行了20次试验,统计了其进化成功所用的代数,结果如表1所示.由进化结果可以看出,在20次进化试验中,采用逻辑门分离的方法每一次进化所需的代数都小于改进前进化所需的代数,而在平均代数上并行进化比改进前减少了84.1代,平均速度提高了32.25%.

表 1 进化代数比较
Table 1 Comparison of generations

进化次数	1	2	3	4	5	6	7	8	9	10	11
改进前进化代数	255	175	190	274	192	413	366	187	219	187	184
改进后进化代数	153	172	187	170	190	209	161	150	215	172	170
进化次数	12	13	14	15	16	17	18	19	20	平均代数	
改进前进化代数	250	361	198	292	240	269	239	225	500	260.8	
改进后进化代数	175	172	164	146	195	208	169	157	199	176.7	

此外,如前所述,从编码结构来看,染色体矩阵的行数不固定.如果通过对电路规模的初始估计或者随机给予比较小的初始行数,那么可以进一步通过进化代数的设定来控制进化时间与成功率.如果设定的进化代数达到而尚未得到所需要电路的结构,那么 EHW 可以自动增加资源量继续进行进化,这样保证了进化的成功率.硬件资源使用少(染色体编码长度小)也可以使得电路结构的进化结果趋于最简化,相应地可以预测,如果硬件资源量多,那么进化会生成多种比最简电路复杂的异构体,如果这样,可以通过控制染色体长度对系统的结构进行控制,而异构电路有可能避开硬件逻辑出错的部分,完成对电路的容错,这将在第 3 节进行分析.

2 染色体转换至解码程序设计

可进化硬件技术分为内部进化和外部进化,内部进化时硬件电路的进化在硬件里实现,而外部进化的电路进化和评估在软件中进行^[5].商业 FPGA 芯片的内部结构不公开,不能接收随机配置位串^[6],若进行内部进化实验则需要对所用器件进行十分复杂的数据流格式分析,人工干预将每一次进化的结构进行翻译下载至 FPGA(field programmable gate array)中运行、检测.因此,对于基于 FPGA 的 EHW 研究,设计高效的硬件编程语言生成器,使其能够直接将基于二进制编码格式的染色体位串转换至以文本方式表示的硬件语言代码,并自动进行后续处理,以避免人工操作或干预,是完成“演化—实现—反馈—评估—再演化”闭环结构的关键^[7].

翻译染色体时,首先需要告知程序进化电路输入与输出接口的数目与具体的染色体编码.根据这些信息,程序通过染色体编码固有的规则对与非门进行划分,分别进行与非门的识别和互联结构的解码,最后将 3 种逻辑门再重新组合并最终通过程序语言体现出来.染色体编码至 Verilog 语言的程序流程示意如图 3 所示.

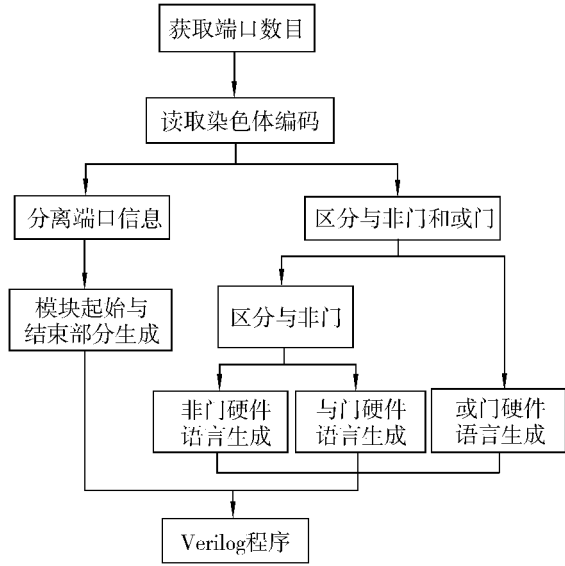


图 3 染色体解码流程示意

Fig. 3 Flow chart of decomposing chromosome

仍以 4 位二进制码转换为格雷码的电路为例进行试验.输入端口数目及染色体编码得到的翻译结果如图 4 所示.其中 func 为模块名称,in1、in2、in3、in4 为输入端口,out1、out2、out3、out4 为输出端口,assign 为组合逻辑赋值语句,~为“取反”运算符,&为“按位与”运算符,|为“按位或”运算符.经过后续的语法完善便可以直接进行综合及下载到可编程器件中进行试验.

```
module func<in1,in2,in3,in4,out1,out2,out3,out4>;
    assign a0=in1;
    assign a1=in1&~in2;
    assign a2=~in1&in2;
    assign a3=in2&~in3;
    assign a4=~in2&in3;
    assign a5=in3&~in4;
    assign a6=~in3&in4;
    assign out1=a0;
    assign out2=a1|a2;
    assign out3=a3|a4;
    assign out4=a5|a6;
endmodule
```

图 4 染色体翻译结果

Fig. 4 Results of decoding chromosome

3 异构容错

由于 EHW 采用了进化算法而具有适应环境的特性,所以它本身固有容错功能,而基于 FPLA 的染色体编码长度可调,这为基于异构电路的容错提供了条件.以 4 位二进制码转换为格雷码的转换电路为例进行外部进化试验,利用第 2 节中设计的程序进行染色体解码并生成 RTL 级文件.

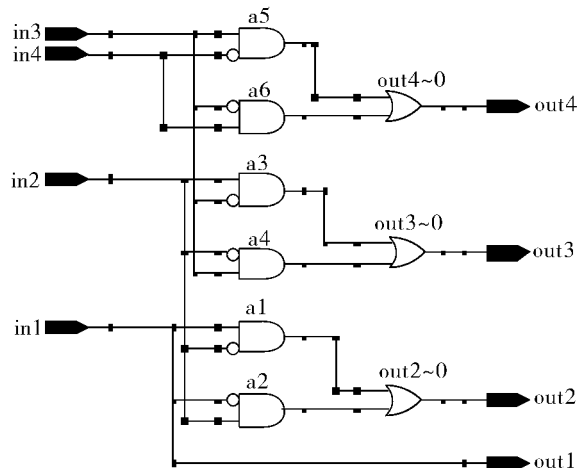


图 5 最简进化结果

Fig. 5 The simplest evolution result

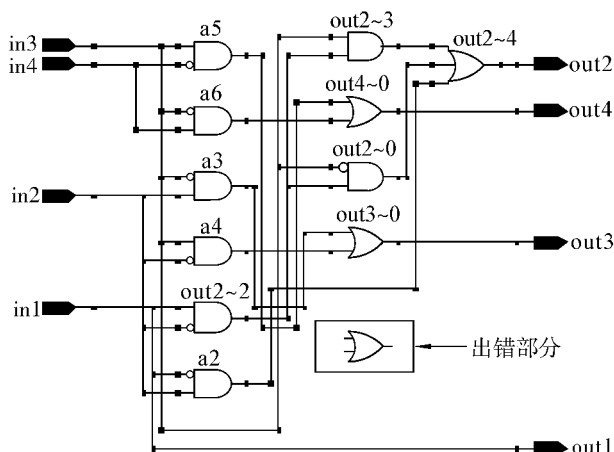


图 6 图 5 所示电路的异构进化结果

Fig. 6 The different evolution results of the circuit shown in Fig. 5

当染色体的长度满足进化最简电路的条件时,其进化的结果如图 5 所示.假设图 5 中 a1 和 a2 输出后的或门出现故障,因图 5 为最简电路,故此时增加染色体长度,继续进化得到非最简的异构电路如图 6 所示.可以看出,异构电路的布局布线绕开了出错部分,保证了电路正常工作.如果结合 TMR (triple-module redundancy) 利用进化算法进化出 3 个能够实现需求功能的电路,然后每进化成功一个电路,进行一次非相似度评价,保留 3 个非相似度最大的

电路并应用,当 3 个异构电路有 1 个出错时,系统即对故障电路进行屏蔽,待修复成功后再重新投入运行^[9].这样 EHW 可以很好地实现系统故障的修复,对于受太空辐射影响的电子系统具有很广阔的应用前景.

4 结束语

文章对可进化硬件从染色体编码到进化实现进行了研究,提出了基于 FPLA 的染色体编码方法.试验证明此种编码可用于多输入多输出电路的生成,同时应用并行进化思想,通过染色体分解,在 20 次的进化试验中平均速度提高了 32.25%.通过改变染色体长度可以控制电路的复杂度和进化代数,同时可以用于进化功能相同的异构电路进而保证进化成功率.实验表明,通过异构电路的进化可以避开硬件故障区,进而完成容错,这为受空间辐射影响而产生的硬件永久性故障修复,提供了一种新的思路.

文章提出的方法仍需要后续深入的研究.首先对二进制编码进行改进,防止存储和计算资源随演化电路规模增长而指数性增长,进一步减少染色体的长度与初始种群数量,从而提高进化速度.其次,对时序电路的生成进行研究,完善电路的进化功能.再次,对染色体分解和组合的策略进行深入的研究.最后,构建硬件电路,进行内仿真,进一步分析进化性能以及确定进化中的各种参数设定对系统进化的影响.

参考文献:

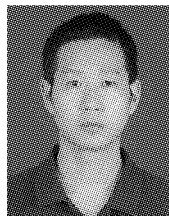
- [1] 王友仁,姚睿,朱开阳,等.仿生硬件理论与技术的研究现状与发展趋势分析[J].中国科学基金,2004,18(5): 273-277.
WANG Youren, YAO Rui, ZHU Kaiyang, et al. The present state and future trends in bio-inspired hardware research [J]. Bulletin of National Science Foundation of China, 2004, 18(5): 273-277.
- [2] XIN Y, HUGICHI T. Promises and challenges of evolvable hardware [J]. IEEE Transactions on Systems, Man, and Cybernetics—Part C: Applications and Reviews, 1999, 29 (1): 87-97.
- [3] TORRESEN J. A divide-and-conquer approach to evolvable hardware [C]//Proceedings of the Second International Conference on Evolvable Systems: From Biology to Hardware (ICES'98). London, UK: Springer-Verlag, 1998: 57-65.
- [4] KALGANOVA T. Bidirectional incremental evolution in extrinsic evolvable hardware [C]//Proceedings of the Second NASA/DOD Workshop on Evolvable Hardware (EH'00). Washington, DC, USA: IEEE Computer Society, 2000: 65-74.

- [5] JACKSON D. Partitioned incremental evolution of hardware using genetic programming [C]//Proceedings of the 11th European Conference on Genetic Programming. Berlin, Germany: Springer-Verlag, 2008: 86-97.
- [6] Xilinx Inc. Two flows for partial reconfiguration: module-based or difference based[EB/OL]. [2010-05-11]. http://www.xilinx.com/support/documentation/application_notes/xapp290.pdf.
- [7] 原亮,丁国良,褚杰,等. EHW 实现过程中 VHDL 程序自动生成研究[J]. 军械工程学院学报, 2008, 20(4): 66-69.
- YUAN Liang, DING Guoliang, CHU Jie, et al. Automatic making of VHDL program for EHW processing[J]. Journal of Ordnance Engineering College, 2008, 20(4): 66-69.
- [8] 姚爱红,张国印,关琳. 基于动态可重构 FPGA 的自演化硬件概述[J]. 智能系统学报, 2008, 3(5): 436-442.
- YAO Aihong, ZHANG Guoyin, GUAN Lin. A survey of dynamically and partially reconfigurable FPGA-based self-evolvable hardware [J]. CAAI Transactions on Intelligent Systems, 2008, 3(5): 436-442.
- [9] 姚睿,王友仁,于盛林,等. 具有在线修复能力的强容错

三模冗余系统设计及实验研究[J]. 电子学报, 2010, 38(1): 177-183.

YAO Rui, WANG Youren, YU Shenglin, et al. Design and experiments of enhanced fault-tolerant triple-module redundancy systems capable of online self-repairing [J]. Acta Electronica Sinica, 2010, 38(1): 177-183.

作者简介:



张超,男,1986 年生,硕士研究生,主要研究方向为空间信号处理系统及其容错技术。



刘峰,男,1964 年生,教授,博士生导师,西安电子科技大学雷达信号处理国家重点实验室副主任,主要研究方向为多源信息融合、雷达信号处理及精确制导技术。目前承担国家“863”计划重点项目、空军重大工程研发项目、国防科技预研项目等多项科研项目。

IET 自动控制和人工智能国际会议 The International Conference on Automatic Control and Artificial Intelligence (ACAI 2012)

The International Conference on Automatic Control and Artificial Intelligence (ACAI 2012) will be held from March 24th to 26th, 2012 in Xiamen, China. ACAI 2012 aims to provide a high-level international forum for researchers and engineers to present and discuss recent advances, new techniques and applications in the field of control engineering, manufacturing engineering and artificial intelligence.

In addition to the conference proceedings, papers, which are presented in this conference and related to the area of nano-materials or nanotechnology, will be selected and published in a special section in J. Nanoscience & All the conference papers will be published by IET, included in the IEEE.

Important Dates:

Papers due: Nov. 10, 2011

Acceptance notification: Dec. 1, 2011

Registration: Jan. 10, 2012

Conference date: Mar. 24-26, 2012

Contact us:

E-mail: acaiconf@gmail.com acaiconf@vip.163.com

Tel: +86-136-9695-1720 +86-151-6001-9681 +86-0592-6035272

Website: <http://www.acaiconf.org/>