

DOI:10.3969/j.issn.1673-4785.201202002

网络出版地址: <http://www.cnki.net/kcms/detail/23.1538.TP.20120712.1121.010.html>

# 基于FPGA的全流水双精度浮点矩阵乘法器设计

刘沛华, 鲁华祥, 龚国良, 刘文鹏

(中国科学院半导体研究所 神经网络实验室, 北京 100083)

**摘要:**在数字通信、图像处理等应用领域中需要用到大量的矩阵乘法运算,并且它的计算性能是影响系统性能的关键因素.设计了一个全流水结构的并行双精度浮点矩阵乘法器以提高计算性能,并在Xilinx Virtex-5 LX155现场可编程门阵列(FPGA)上完成了方案的实现.乘法器中处理单元(PE)按阵列形式排列,在一个FPGA芯片上可集成10个PE单元实现并行计算.为了提高工作频率,PE单元采用流水线结构,并运用C-slow时序重排技术解决了环路流水线上“数据相关冲突”的问题.仿真结果表明,该乘法器的峰值计算性能可达到5 000 MFLOPS.此外,对不同维数的矩阵乘法进行了实验,其结果也证实了该设计达到了较高的计算性能.

**关键词:**矩阵乘法;现场可编程门阵列(FPGA);环路流水线;C-slow时序重排技术;乘法器设计

**中图分类号:** TP332.2 **文献标志码:** A **文章编号:** 1673-4785(2012)04-0302-05

## Design of an FPGA-based double-precision floating-point matrix multiplier with pipeline architecture

LIU Peihua, LU Huaxiang, GONG Guoliang, LIU Wenpeng

(Lab of Artificial Neural Networks, Institute of Semiconductors, Chinese Academy of Science, Beijing 100083, China)

**Abstract:** Many application areas, such as digital communication and image processing, make extensive use of matrix multiplication operations, and the computational performance of this operation is critical for the whole system. A parallel double-precision floating-point matrix multiplier with pipeline architecture was designed to improve the computational performance. The design was implemented in a Xilinx Virtex-5 LX155 field programmable gate array (FPGA). Up to 10 processing elements were integrated in a single FPGA device, and they were arranged as an array to achieve parallel computation. The processing elements employed pipelined architecture to increase the speed, and C-slow retiming was applied to solve the data-related conflicts issues on the loop pipeline. The post-Route simulation results show that the peak performance of the matrix multiplier can achieve 5 000 MFLOPS. In addition, the matrix multiplication experiments with different dimensions were carried out, and the results confirm that the design achieved high computational performance.

**Keywords:** matrix multiplication; FPGA; loop pipeline; C-slow retiming; multiplia design

矩阵乘法是数字信号处理领域中的基本操作,广泛应用于各种电路计算中,例如数字通信领域的DCM变换、快速FFT变换以及图像处理中的3-D变换等都用到大规模的矩阵乘法运算.由于矩阵乘法计算复杂性较高(通常为 $O(n^3)$ ),其计算性能直接影响到系统的整体性能.然而传统的矩阵乘法多

用处理器串行计算来实现,严重制约了计算速度.要提高矩阵乘法的计算性能,可以通过提升工作频率和算法并行度来实现.现场可编程门阵列(field programmable gate array, FPGA)具有强大的计算性能和逻辑分析能力,特别是它具有并发的硬件结构和出色的浮点计算性能,适合对矩阵乘法进行硬件加速,是当前的研究热点.

目前,采用FPGA实现矩阵乘法计算的研究已经取得一些成果.在定点矩阵乘法方面,Amira等在FPGA上实现了8位定点的矩阵乘法器,但是该设

收稿日期:2012-02-06. 网络出版日期:2012-07-12.

基金项目:国家自然科学基金资助项目(61076014);江苏省高校自然科学基金资助项目(10KJA510042);先导项目(XDA06020700).

通信作者:刘沛华. E-mail: pelph123@163.com.

计所需要的带宽与矩阵规模成比例增加,限制了该设计的可扩展性<sup>[1]</sup>;Jang等设计的矩阵乘法器只需要固定的带宽,但是所需要的存储单元大小与矩阵规模成正比<sup>[2]</sup>.在浮点矩阵乘法方面,Campell等设计了一个并行结构矩阵乘法器,该设计中的各个计算单元之间不需要通讯,具有可扩展性,但其所需的存储空间随矩阵维数的增加而增大,并且计算效率不高<sup>[3]</sup>;田翔等设计了一个实时双精度矩阵乘法器,并在FPGA上完成了方案的实现,但是其计算单元的工作频率不高,限制了计算性能的提升<sup>[4]</sup>.

本文设计并在FPGA上实现了一个计算性能较高、可扩展性良好的并行双精度浮点矩阵乘法器.为提高工作频率,乘法器中的计算单元采用流水线结构,并运用C-slow时序重排技术解决了环路流水线上“数据相关冲突”的问题,提高了计算效率.此外,本设计所需要的带宽和存储单元大小都是固定的,故可扩展性好.

# 1 矩阵乘法器设计

对于矩阵乘法  $C = A \times B$ ,其中  $A$ 、 $B$  和  $C$  分别是  $M \times L$ 、 $L \times N$  和  $M \times N$  维矩阵,其计算方法如式(1):

$$c_{ij} = \sum_{k=1}^L a_{ik} \times b_{kj}; 1 \leq i \leq M, 1 \leq j \leq N. \quad (1)$$

式(1)的计算复杂度为  $2 \times M \times N \times L$ ,即  $O(n^3)$ .为降低算法复杂度,本文设计了一个包含  $P$  个处理单元(processing element, PE)的并行双精度浮点矩阵乘法器,其中 PE 采用流水线结构,并运用 C-slow 时序重排技术解决环路流水线上“数据相关冲突”的问题,提高了计算效率.设计中所有操作数均为符合 IEEE 754 标准的 64bit 双精度浮点数.

## 1.1 处理单元设计

PE 是构成浮点矩阵乘法器的基本单元.每个 PE 包含一个浮点乘法器、一个浮点加法器和用于存储计算结果的存储单元(Shift register),其结构如图1所示.

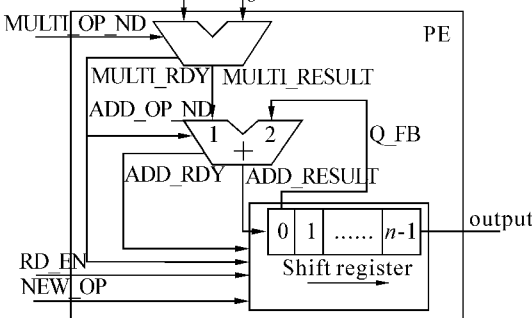


图1 PE 单元结构

Fig.1 Structure of PE

图1中信号分为2类:数据信号和控制信号.其中  $a$ 、 $b$ 、MULTI\_RESULT、ADD\_RESULT、Q\_FB 和 output 都是 64 bit 数据信号,其他都是控制信号,具体功能描述见表1.

表1 FPGA 内部资源使用情况

Table 1 Usage of FPGA internal resources

信号名称	功能描述
$a$ 、 $b$	浮点乘法器的2个输入
MULTI_RESULT	乘法器的输出结果,作为加法器的一个输入
ADD_RESULT	加法器的输出结果
Q_FB	Shift register 的输出,作为浮点加法器的另一个输入
MULTI_OP_ND	与 MULTI_RDY 是一对握手信号,置高表示乘法器的输入有效
MULTI_RDY	1)与 MULTI_OP_ND 是一对握手信号,置高表示乘法器的输出有效;2)、控制 Shift register 移位
ADD_OP_ND	与 ADD_RDY 是一对握手信号,置高表示加法器的输入有效
ADD_RDY	1)与 ADD_OP_ND 是一对握手信号,置高表示加法器的输出有效;2)控制 Shift register 移位
RD_EN	Shift register 的读使能信号
NEW_OP	Shift register 的清零信号

PE 工作时,MULTI\_OP\_ND 置高表示乘法器的输入( $a$ 、 $b$ )有效,此时启动乘法器,当浮点乘法器计算完毕时,MULTI\_RDY 输出高电平表示 MULTI\_RESULT 有效;当 ADD\_OP\_ND 变为高电平时启动浮点加法器,当浮点加法器计算完毕时,ADD\_RDY 输出高电平表示乘加过程结束.此外,MULTI\_RDY 和 ADD\_RDY 还作为 Shift register 的控制信号,控制 Shift register 移位.当一组元素计算完毕之后,将输入信号 RD\_EN 置为高电平,读取 Shift register 中存储的结算结果;当需要计算新的元素时,将 NEW\_OP 置为高电平,Shift register 的寄存器全部清零,便可以进行新一轮的乘加运算.

## 1.2 环路流水线设计

为了提高计算吞吐率,整个 PE 采用流水线结构.与一般的结构相比,流水线结构能达到更高的时钟频率,但是输出结果与输入之间会有时钟延迟,延迟的时钟周期数等于流水线的级数.流水线的级数(Latency)越高,乘法器与加法器的工作频率就越高.

对于无反馈回路的流水线结构来说,输出结果相对输入之间的延迟不会影响整个系统的顺序执行.但是当流水线结构中存在反馈回路时,若不妥善解决延迟问题,流水线上就会出现“数据相关冲突”.以 PE 的数据通道为例,图 1 中加法器端口 2 的输入数据来自于上一次乘积累加操作的结果,这便构成了一个反馈回路,只有保证 MULTI\_RESULT 到达加法器端口 1 的时间与上次乘累加的结果(Q\_FB)到达端口 2 的时间一致,才能确保 PE 的正确运行.否则,必然导致流水线时序紊乱,无法完成给定的计算任务,这就是所谓的“数据相关冲突”.下面通过剖析图 2 来阐述这个问题.

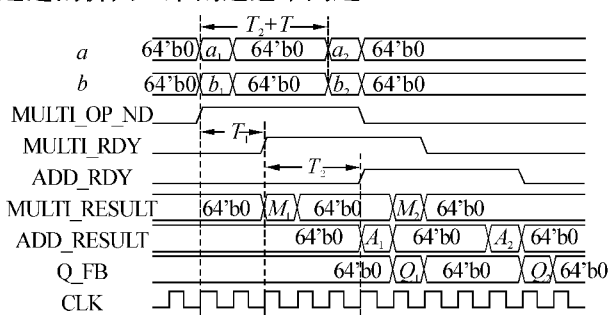


图 2 PE 的时序波形

Fig. 2 Timing diagram of PE

如图 2 所示, MULTI\_RDY 比 MULTI\_OP\_ND 延迟  $T_1$ ; ADD\_RDY 比 ADD\_OP\_ND (即图 2 中的 MULTI\_RDY) 延迟  $T_2$ . 设 CLK 的周期为  $T$ , 浮点乘法器和浮点加法器的 Latency 值分别为  $u$  和  $v$ , 则  $T_1 = uT$ ,  $T_2 = vT$ . 设某个计算元素  $c$  的前后 2 组输入数据分别是  $a_1, b_1$  和  $a_2, b_2$ . 开始计算时 Shift register 的寄存器被全部清零,  $A_1 = a_1 b_1 + 0$ ,  $A_1$  经过一个寄存器延迟得到  $Q_1$ ; 同样,  $M_2 = a_2 b_2$ . 由图 2 可以看出, 只有当  $a_2, b_2$  和  $a_1, b_1$  之间保持  $v+1$  个时钟周期的延迟时 ( $T_2 + T = (v+1)T$ ), 才能保证  $M_2$  和  $Q_1$  同时到达浮点加法器 2 个输入端口, 进而得到正确的累加结果:  $A_2 = Q_1 + M_2$ . 否则, 就会导致  $M_2$  和  $Q_1$  到达浮点加法器输入端口的时间不一致, 发生“数据相关冲突”, 无法得到正确的计算结果.

上述分析表明, 只有保证计算  $c_{ij}$  的任意 2 组输入 ( $a_{ik}, b_{kj}$  和  $a_{i,k+1}, b_{k+1,j}$ ) 之间保持  $v+1$  个时钟周期的延迟, PE 才能正常工作. 然而, 这样一条流水线上只有一个计算任务时, 时序会出现大量的空闲时间

(如图 2 所示), 空闲的比例为  $\frac{T_2}{T+T_2}$ . 为了提高时间

利用率, 本文采用 C-slow 模式<sup>[5]</sup>来解决上述“数据相关冲突”的问题. C-slow 是一种解决环路流水线问题的时序重排技术, 不同于传统流水线上只执行一

个任务的模式, 它将多个计算任务交叉编排在一起, 按次序打入流水线. 要实现 C-slow 模式, 需要对输入数据进行预处理, 将输入数据重新编排, 使得  $a, b$  端口的数据分别满足式(2)、(3):

$$d\_inA[k \cdot (v+1) \cdot T + sT + T_0] = a_{i+s,k}, \quad (2)$$

$$d\_inB[k \cdot (v+1) \cdot T + sT + T_0] = b_{k,j}, \quad (3)$$

式中:  $T_0$  为计算的起始时间,  $d\_inA[t], d\_inB[t]$  分别表示  $t$  时刻  $a, b$  端口的输入数据,  $1 \leq k \leq L, 0 \leq s \leq v$ . 由式(2)、(3)可知, 上述操作的目的是把求解  $c_{ij}, c_{i+1,j}, \dots, c_{i+v,j}$  这  $v+1$  个计算任务交叉编排在一条流水线上执行. 同时, 上述操作能保证对于  $c_{ij}$  的计算任务而言, 前后 2 组输入数据保持  $v+1$  个时钟周期的延迟, 而且不同  $c_{ij}$  的输入数据不发生重叠. 所以, 这样一条流水线上能完成  $v+1$  计算任务的交叉执行, 即一个 PE 单元花费  $L(T_2 + T)$  时间能完成  $c_{ij}, c_{i+1,j}, \dots, c_{i+v,j}$  的  $v+1$  个元素的求解过程. 从而, 图 1 所示的 shift register 需要  $v+1$  个寄存器来存储计算结果, 即  $n = v+1$ .

### 1.3 并行结构矩阵乘法器设计

根据矩阵乘法的简单并行算法, 在 FPGA 芯片上实现  $P$  个 PE 单元, 这些 PE 单元按照图 3 所示的  $1 \times P$  阵列形式排列. PE 单元之间不存在信息交互, 它们独立地完成各自的计算任务. 由式(2)和(3)可知, 每个 PE 单元进行计算时要用到  $A$  的  $n$  行和  $B$  的某 1 列数据, 整个 PE 阵列一次计算需要用到  $A$  的  $n$  行和  $B$  的  $P$  列数据. 将输入矩阵  $A, B$  分别按行和按列进行分块:  $A = [A_1^T A_2^T \dots A_n^T]^T, B = [B_1 B_2 \dots B_P]$ , 其中  $A_i$  表示  $A$  的第  $i$  行,  $B_j$  表示  $B$  的第  $j$  列. 将  $A$  的  $n$  行和  $B$  的  $P$  列作为图 3 所示系统的输入, 图中预处理模块 1 和预处理模块 2 的功能分别对  $A_i$  和  $B_j$  进行处理, 使得它们分别满足式(2)和(3)中  $d\_inA[t], d\_inB[t]$  的要求并将其送入各个 PE 单元的  $a, b$  端口进行计算.

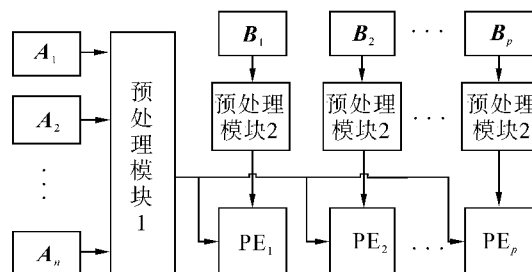


图 3 并行矩阵乘法器结构

Fig. 3 Timing diagram of PE

通过这种 PE 的阵列结构, 可以完成任意维数的矩阵乘法运算. 假设  $A$  和  $B$  分别为  $M \times L, L \times N$  维矩阵, 对于任意的  $M, N$  和  $L$  值, 可以通过下述算

法计算  $C = A \times B$  的结果:

```
for  $i = 0$  to  $M/n - 1$  loop
  for  $j = 0$  to  $N/P - 1$  loop
    all  $PE_x (x = 1, 2, \dots, P)$  do in parallel
      for  $r = 1$  to  $n$  loop
         $c_{in+r,jp+x} = 0$ 
      end loop
      for  $k = 1$  to  $n$  loop
        for  $r = 1$  to  $n$  loop
           $c_{in+r,jp+1} = a_{in+r,k} \times b_{k,jp+x} c_{in+r,jp+x};$ 
        end loop
      end loop
    end loop
  end loop
end loop
```

从以上算法可以看出,使用并行矩阵乘法器进行计算时,循环的次数是传统串行算法的  $1/P$ ,即计算复杂度降低为  $O(n^3/P)$ . 同时由于该并行矩阵乘法器中的各个 PE 单元是相互独立的,因此可以方便地扩展到多片 FPGA 上实现并行计算.

2 矩阵乘法器性能分析

下面以在 FPGA 上实现的并行矩阵乘法器来对上述设计的性能进行分析. 本文选用 Xilinx Virtex-5 LX155 芯片实现该设计. PE 中的浮点乘法器和浮点加法器使用 Xilinx 公司提供的 floating-point IP 核生成. 通过对运行速度及该器件中 DSP48E 单元、CLB 单元等资源进行综合考虑,对并行矩阵乘法器进行如下设置:1) IP 核生成浮点乘法器时,DSP48E 的使用等级设置为 Medium Usage(即单个浮点乘法器使用 9 个 DSP48E 单元),Latency 的值设定为 15;2) IP 核生成浮点加法器时,DSP48E 的使用等级设置为 No Usage,Latency 的值设定为 9;3) 设定矩阵乘法器中 PE 单元的个数  $P = 10$ . 本设计中所使用的 FPGA 开发环境和仿真环境分别为 Xilinx ISE Design Suite 13.1 和 Mentor Graphics Modelsim SE 6.5a.

2.1 峰值计算性能

理想情况下,每个 PE 单元在一个时钟周期内可以完成 1 次双精度浮点乘法操作和 1 次双精度浮点加法操作,因此整个矩阵乘法器的计算性能可计算为

$$PERF_{peak} = 2 \times P \times f. \tag{4}$$

式中:  $PERF_{peak}$  表示矩阵乘法器的峰值计算性能(每秒百万次浮点操作),  $P$  为矩阵乘法器中 PE 单元的个数,  $f$  为矩阵乘法器工作的时钟频率.

FPGA 内部资源的使用情况见表 2. 根据布局布

线后仿真的结果,该矩阵乘法器在未做优化的情况下工作频率能达到 250 MHz. 由此可知该矩阵乘法器的峰值计算性能可达到 5 000 MFLOPS.

表 2 FPGA 内部资源使用情况  
Table 2 Usage of FPGA internal resources

内部资源	资源使用量/个	占总资源比例/%
Slice Registers	16 137	16
Slice LUTs	14 590	14
BRAM	12	6
BUFG	2	6
DSP48E	90	70

2.2 平均计算性能

并行矩阵乘法器的平均计算性能可以通过计算 2 个矩阵相乘所需的总时间来求得,如式(5)所示.

$$PERF = F/t. \tag{5}$$

式中:  $PERF$  表示并行矩阵乘法器的平均计算性能,  $F$  表示 2 个矩阵相乘总共需要完成的双精度浮点操作次数,  $t$  为计算时间.

本文分别以 2 个 128 bit  $\times$  128 bit 的矩阵相乘和 2 个 256 bit  $\times$  256 bit 的矩阵相乘的实例来分析该设计的平均计算性能,如表 3 所示.

表 3 平均计算性能对比  
Table 3 Comparison of computation performance

性能	本文设计		设计 A <sup>[4]</sup>	
矩阵维数	128 $\times$ 128	256 $\times$ 256	100 $\times$ 100	200 $\times$ 200
浮点数操作次数	2 <sup>22</sup>	2 <sup>25</sup>	2 $\times$ 10 <sup>6</sup>	16 $\times$ 10 <sup>6</sup>
计算时间/ (t $\cdot$ $\mu$ s <sup>-1</sup> )	986.3	7 672.8	1 351	10 759
所需带宽/ (GB $\cdot$ s <sup>-1</sup> )	4	4	2.4	2.4
PERF/ MFLOPS	4 252	4 373	1 481	1 490
$\frac{PERF}{PERF_{peak}}/\%$	85.04	87.46	49.4	49.7
$\frac{PERF_{peak}}{MFLOPS}$	5 000		3 000	

由表 2、3 可以看出,本文设计的并行矩阵乘法器的峰值计算性能可达到 5 000 MFLOPS,平均计算性能可以保证在峰值计算性能的 85% 左右. 而田翔等的设计 A 未采用流水线结构,工作频率只有 60 MHz,即使在一块 FPGA 上集成了 25 个 PE 单元,它的峰值计算性能只能达到 3 000 MFLOPS<sup>[4]</sup>. 而且,设计 A 的平均浮点计算性能只能保持在峰值计算

性能的50%左右.由此可见,本文设计在计算性能上有大幅度提高.

在矩阵乘法计算中,若FPGA的I/O带宽小于一定值,并行矩阵乘法器中的PE单元就会出现等待状态,此时,带宽便成为制约计算性能的因素.当I/O带宽达到或者高于这个值后,每个PE单元的计算性能则成为制约并行矩阵乘法器计算性能的主要因素.在本文的设计中,PE的计算性能主要由工作频率决定,在工作频率为250 MHz的情况下,只要I/O带宽达到4 GB/s,便不会对整个系统的计算性能产生影响.

### 3 结束语

本文设计了一个全流水结构的并行双精度浮点矩阵乘法器,并在Xilinx xc5vlx155 FPGA上实现了该方案.矩阵乘法器内部的PE单元采用流水线结构,并运用C-slow时序重排技术解决了环路流水线中“数据相关冲突”的问题,提高了计算效率.实验结果表明,对于不同维数的矩阵乘法,本设计都有较高的计算性能.同时,本文设计的并行矩阵乘法器结构,其内部的各个PE单元相互独立,因而具有很好的可扩展性.在后续的研究工作中,需要提出更为合理的并行结构,通过多片FPGA的并行计算来进一步提高矩阵乘法器的计算性能.

### 参考文献:

- [1] AMIRA A, BENSALI F. An FPGA based parameterizable system for matrix product implementation[C]//IEEE Workshop on Signal Processing Systems (SPIS'02). San Diego, 2002: 75-79.
- [2] JANG J, CHOI S, PRASANNA V K K. Area and time efficient implementations of matrix multiplication on FPGAs[C]//2002 IEEE International Conference on Field Programmable Technology. Seoul, Korea, 2002: 93-100.
- [3] CAMPBELL S J, KHATRI S P. Resource and delay efficient matrix multiplication using newer FPGA devices[C]//Proceedings of the 16th ACM Great Lakes Symposium on VLSI. Philadelphia, USA, 2006: 308-311.
- [4] 田翔,周凡. 基于FPGA的实时双精度浮点矩阵乘法器设计[J]. 浙江大学学报:工学版, 2008, 42(9): 1611-1615.  
TIAN Xiang, ZHOU Fan. Design of field programmable gate array based real-time double precision floating-point matrix multiplier[J]. Journal of Zhejiang University: Engineering Science, 2008, 42(9): 1611-1615.
- [5] LEISERSON C, ROSE F, SAXE J. Optimizing synchronous circuitry by retiming[C]//Proceedings of the 3rd Caltech Conference On VLSI. Rockville, Maryland, 1983: 87-116.
- [6] SU Ming, ZHOU Lili. Maximizing the throughput-area efficiency of fully-parallel low-density parity-check decoding with C-slow retiming and asynchronous deep pipelining[C]//The 25th International Conference on Computer Design. Washington, DC, USA, 2007: 93-100.
- [7] 肖宇,王建业,张伟. 基于IP核的数选式浮点矩阵相乘设计[J]. 集成电路应用, 2011, 37(6): 52-55.  
XIAO Yu, WANG Jianye, ZHANG Wei. Floating-point matrix multiplication design based on IP core[J]. Application of Integrated Circuits, 2011, 37(6): 52-55.
- [8] 许芳,席毅,陈虹. 基于FPGA Nios-II的矩阵运算硬件加速器设计[J]. 电子测量与仪器学报, 2011, 25(4): 376-383.  
XU Fang, XI Yi, CHEN Hong. Design and implementation of matrix hardware acceleration based on FPGA/Nios-II[J], Journal of Electronic Measurement and Instrument, 2011, 25(4): 376-383.
- [9] 黎铁军,李秋亮,徐伟遐. 一种128位高性能全流水浮点乘加部件[J]. 国防科技大学学报, 2010, 32(2): 56-60.  
LI Tiejun, LI Qiuliang, XU Weixia. A high performance pipeline architecture of 128 bit floating-point fused multiply add unit[J]. Journal of National University of Defense Technology, 2010, 32(2): 56-60.

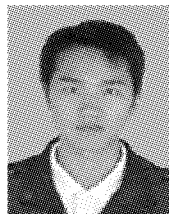
#### 作者简介:



刘沛华,女,1985年生,硕士研究生,主要研究方向为电路与系统、神经网络.



鲁华祥,男,1965年生,研究员,主要研究方向为智能信息处理、神经网络技术及其应用.近年来,作为项目负责人或骨干研究人员完成国家重大科技攻关项目3项、国家“863”计划项目3项、国家自然科学基金重点项目3项,发表学术论文50余篇.



龚国良,男,1982年生,博士研究生,主要研究方向为优化算法、神经网络、模式识别等.